

PAT-NO: JP404199682A
DOCUMENT-IDENTIFIER: JP 04199682 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: July 20, 1992

INVENTOR-INFORMATION:
NAME
TADA, YOSHIHIDE

ASSIGNEE-INFORMATION:
NAME COUNTRY
KAWASAKI STEEL CORP N/A

APPL-NO: JP02325759
APPL-DATE: November 29, 1990

INT-CL (IPC): H01L029/66, H01L029/784
US-CL-CURRENT: 257/365

ABSTRACT:

PURPOSE: To enable a semiconductor device to be micronized and enhanced in current drive capacity by a method wherein a thin semiconductor layer formed between a first and a second gate electrode is provided with impurity regions of a first conductivity type and of a second conductivity type doped with impurities respectively, and a PN junction formed of the impurity regions concerned is positioned under the second gate electrode.

CONSTITUTION: A semiconductor substrate 1 is doped with impurities to form a surface diffusion layer 2, and a thin semiconductor layer

is provided onto a first gate electrode through the intermediary of a first insulating film 3. Impurity diffusion thin layers 4 and 5 of first and second conductivity type are provided adjacent to each other to the semiconductor layer concerned, and a PN junction 6 is formed between the layers 4 and 5. Furthermore, a second gate electrode or a top gate electrode 8 is formed on the impurity diffusion thin layers 4 and 5 through the intermediary of a second insulating film 7. If an enough potential difference is present between both the sides of a PN junction, the gate electrodes is made to increase in potential difference between them, whereby a band bend can be enhanced in both height and gradient without limitation. By this setup, a high speed transistor which is micronized and large in current drive capacity can be obtained.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-199682

⑮ Int. Cl.⁵H 01 L 29/66
29/784

識別記号

庁内整理番号

7735-4M

⑬ 公開 平成4年(1992)7月20日

8422-4M H 01 L 29/78 3 0 1 J

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平2-325759

⑰ 出 願 平2(1990)11月29日

⑱ 発 明 者 多 田 吉 秀 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

⑲ 出 願 人 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号

⑳ 代 理 人 弁理士 杉村 暁秀 外5名

明 細 書

1. 発明の名称 半導体装置

2. 特許請求の範囲

1. 半導体基板に第1ゲート電極を構成する不純物拡散層領域を設け、その上に第1の絶縁膜を介して形成された薄い半導体層と、その上部に第2の絶縁膜を介して形成された第2ゲート電極とを設け、上記薄い半導体層が第1導電型及び第2導電型にドーパされた不純物領域をそれぞれ有し、これら両導電型領域のPN接合を前記第2ゲート電極の下側に位置させるようにしたことを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はバンド間トンネリングを利用した半導体装置に関するものである。(従来の技術と)

最近、微細素子に適した新規のトランジスタ構造として、バンド間トンネリング作用を利用したトランジスタ、(BBTトランジスタ)がいくつか提

案されている。即ち、第3図(a)および(b)に示すように半導体基板11に通常のようにソース領域12およびドレイン領域13を設け、前記半導体基板11の表面区域のこれら両領域間を含み一方の領域の大部分上に絶縁層14を介してゲート電極15を設け、この際これらソース領域12およびドレイン領域13の一方を反対導電型、好適には基板と同一導電型とし、この領域のMOSゲートの下側のシリコン基板表面部において、第4図に示すように強いバンド曲がり効果を生ぜしめて、ここに生じるバンド間トンネリングにより発生する少数キャリアを駆動電流として用いるようにしている。

(発明が解決しようとする課題)

しかし、この場合には、バンド間トンネリングはMOSの基板表面の空乏層内で発生させており、従って、バンド曲がりの大きさの上限は基板の機能領域の不純物濃度で決まり、バイアスを大きくしても反転層が成長するため、一定の値以上とはなり得ない。即ち、トンネル作用の発生確率はバンド曲がりの落差の絶対値とバンド曲がりの勾配

とで決まり、両者の増加関数となる。

かかる場合において、第5図(a)に示すように、機能領域の不純物濃度が低い場合にはバンド曲がりの勾配(電界強度)が小さく、バンド曲がりの落差の絶対値は大きくなりトンネリングは起きにくい。また、第5図(c)に示すように、機能領域の不純物濃度が高くなると、バンド曲がりの勾配は大きくなるが、逆にバンド曲がりの落差の絶対値は小さくなり、この絶対値の大きさが半導体のエネルギーギャップ値以下になるとトンネリングは起こらなくなる。従ってバンド曲がりの絶対値とバンド曲がりの勾配(電界強度)とを同時に大きくすることができず、従って第5図(b)に示すように、特定の不純物の濃度(例えば、 $2 \sim 5 \times 10^{14} \text{cm}^{-3}$ 、好適には $3 \times 10^{14} \text{cm}^{-3}$)のところのみ、即ち、バンド曲がりの絶対値とバンド曲がりの勾配(電界強度)とが共に中程度である場合にのみ有意なトンネル電流を流すことができるようになる。しかもその電流値はnA程度と極めて微小である。これがため、十分な電流駆動能力

を得ることはできず、高速動作が不可能なため実用性に乏しかった。

本発明の目的は上述した欠点を除去し、バンド曲がりの落差と電界強度とを同時に大きくとり、しかもバンド間トンネル電流をも大きくとることのできる、微細でかつ電流駆動能力の大きな高速用半導体装置を提供せんとするにある。

(課題を解決するための手段)

本発明半導体装置は半導体基板に第1ゲート電極を構成する不純物拡散層領域を設け、その上に第1の絶縁膜を介して形成された薄い半導体層と、その上部に第2の絶縁膜を介して形成された第2ゲート電極とを設け、上記薄い半導体層が第1導電型及び第2導電型にドーブされた不純物領域をそれぞれ有し、これら両導電型領域のPN接合を前記第2ゲート電極の下側に位置させるようにしたことを特徴とする。

(作用)

本発明半導体装置では第1図に示すように、半導体基板1に不純物をドーブした表面拡散層2

を形成し、これを第1ゲート電極、即ち、バックゲート電極として用いる。この表面拡散層2の上に第1の絶縁膜3を介して薄い半導体層を設け、この半導体層に互いに隣接する第1導電型および第2導電型の不純物拡散層4および5を形成し、これら不純物拡散層4および5の間にPN接合6を形成する。さらにこの不純物拡散層4および5の上に第2の絶縁膜7を介して第2ゲート電極、即ち、トップゲート電極8を形成し、これらトップゲート電極8およびバックゲート電極2によって前記PN接合6の全体又はその一部を挟持する。

かように構成した上記第一導電型および第二導電型の半導体不純物薄層4および5のPN接合6に逆バイアスをかけた場合、トップゲート電極/バックゲート電極間に電位差がないときはPN接合に電流は流れないが、トップゲート/バックゲート間に充分な電位をかけるとこれらゲート電極間に挟まれた半導体層内のバンドが曲げられ価電子帯と伝導帯との間でバンド間トンネリングが起こり、少数キャリアが発生するため、PN接合6を通して

電流が流れるようになる。この場合、バンド曲がりは2つのゲート電極間に挟まれた半導体層内で起るため、両ゲート電極間の電位差を大きくすればバンド曲がりの落差および勾配の双方を同時に大きくすることができ、バンド間トンネリングの起こる部位は特定不純物濃度の場所に限定されない。

また、バンド間トンネリングが起こる部位がPN接合の中にあり、強い横方向電界を受けるため、トンネリングにより発生したキャリアは、速やかにPN接合の両側に掃けて、反転層を成長させない。従って、PN接合間に充分な電位差があれば、両ゲート電極間の電位差を大きくすることにより、バンド曲がりの落差および勾配の双方を同時に制約なく大きくすることができる。

本発明によるMOS構造を使ったBBTトランジスタはその駆動電流値の制約を一切受けず、大きな駆動電流の得られる高速トランジスタを実現することができる。

(実施例)

図面につき本発明を説明する。

本発明半導体装置の実施例を第2図につき説明する。半導体シリコン基板1に濃度が $2 \times 10^{18} \text{cm}^{-3}$ 程度の不純物をドーブした表面拡散層2を形成し、これにより第1ゲート電極、即ち、バックゲート電極を構成する。この表面拡散層2の上に第一の絶縁膜として厚さが200 Åのシリコン酸化膜3を設けて、このシリコン酸化膜3上に厚さが1000 Åのシリコン薄膜を適宜の薄膜形成手段を用いて形成し、この薄膜にn導電型およびp導電型をそれぞれ呈する不純物、例えば硼素Bおよび磷Pを $5 \times 10^{18} \sim 1 \times 10^{19} \text{cm}^{-3}$ の濃度でそれぞれ互いに隣接してドーブし、第1導電型であるp型拡散領域4および第2導電型であるn型拡散領域5を設け、これら不純物拡散領域4および5間にPN接合5を形成する。

さらにこの不純物拡散層4および5の上に第2の絶縁膜として厚さが200 Åの酸化膜7を設け、この第2酸化膜7上に第2ゲート電極、即ち、不

純物がドーブされたポリシリコンのトップゲート電極8を上記のPN接合5を覆うように形成し、これらトップゲート電極8およびバックゲート電極2によって前記PN接合5の全体又はその一部を挟持するかように構成した本発明半導体装置において、バックゲート電極およびトップゲート電極間に電位差がかかっていない場合には、前記半導体薄膜層4および5のPN接合5に逆バイアス方向に電流は流れないが、バックゲート電極/トップゲート電極間に電位差(例えば $|EF1-EF2|$)をかけることによりシリコン薄膜層4、5内でバンド間トンネリングが起こり、PN接合5に少数キャリアが発生するためこのPN接合5にn型領域5からp型領域4に向けて電流が流れ、所望のスイッチング動作を実現する。

本発明は上述した例にのみ限定されるものではなく、要旨を変更しない範囲内で種々の変形、変更が可能である。例えば、第1ゲート電極として不純物導入領域以外に金属層を用い得ることは勿論である。

(発明の効果)

上述したところから明らかなように、本発明によれば、薄いシリコン層を両側から電極で挟み両電極間に電位差をかけることによって、バンド曲がりの落差と電界強度とを同時に大きくとることができ、従ってバンド間トンネル電流を大きく取ることができ、その結果微細かつ電流駆動能力の大きい高速トランジスタ素子を得ることができる。

4. 図面の簡単な説明

第1図は本発明半導体装置の原理を示す説明図、

第2図(a)および(b)は本発明半導体装置の実施例の構成を示す平面図および断面図、

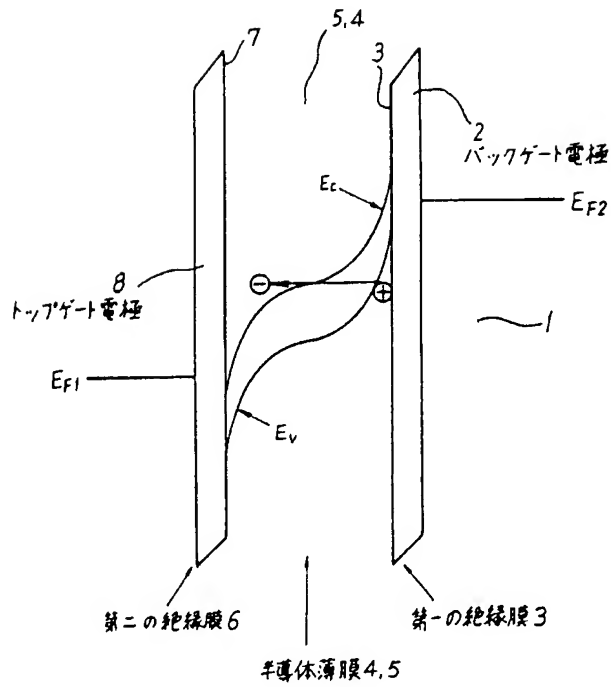
第3図(a)および(b)は従来のこの種の半導体装置の構成をそれぞれ示す断面図、

第4図はバンド間トンネリングの原理を示す説明図、

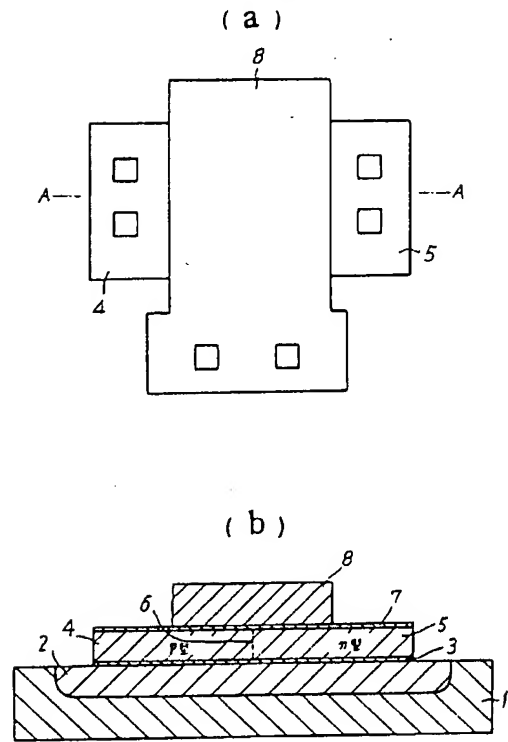
第5図(a)(b)および(c)はバンド間トンネリングの起こりやすさとドレイン不純物濃度との関係を示す説明図である。

- 1 … シリコン基板
- 2 … 不純物導入領域(第1ゲート電極)
- 3 … 第1の絶縁膜
- 4 … p型不純物導入領域
- 5 … n型不純物導入領域
- 6 … PN接合
- 7 … 第2の絶縁膜
- 8 … 第2ゲート電極(トップゲート電極)

第 1 図

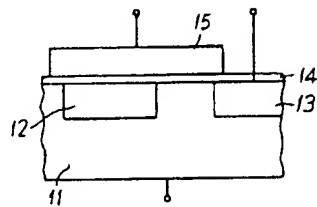


第 2 図

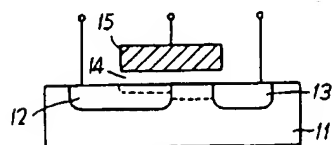


第 3 図

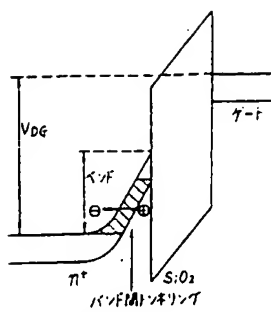
(a)



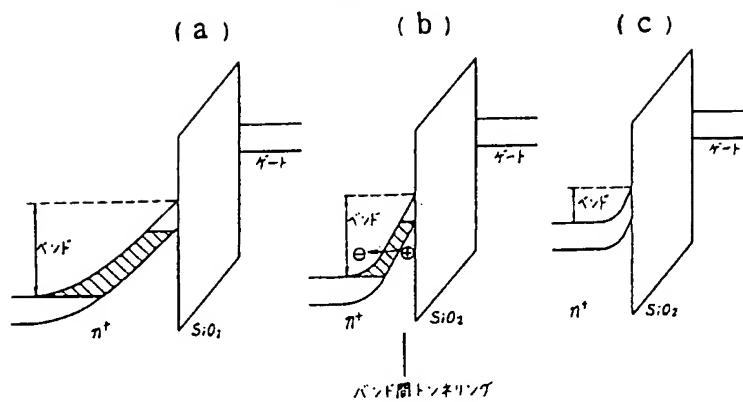
(b)



第4図



第5図



1990

INT-CL (IPC): H01L029/66, H